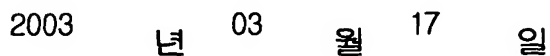


KOREAN INTELLECTUAL
PROPERTY OFFICE

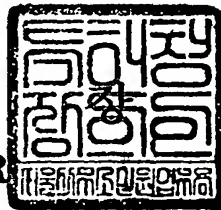
This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원인 : 삼성전자주식회사
Applicant(s) : SAMSUNG ELECTRONICS CO., LTD.



특히 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.11.19
【국제특허분류】	H01L
【발명의 명칭】	니켈 살리사이드 공정을 이용한 반도체 소자의 제조방법
【발명의 영문명칭】	Method for fabricating a semiconductor device using nickel salicide process
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	선민철
【성명의 영문표기】	SUN, Min Chul
【주민등록번호】	730726-1051111
【우편번호】	612-030
【주소】	부산광역시 해운대구 좌동 건영2차아파트 101-903
【국적】	KR
【발명자】	
【성명의 국문표기】	구자흠
【성명의 영문표기】	KU, Ja Hum
【주민등록번호】	680110-1010516
【우편번호】	463-500

【주소】	경기도 성남시 분당구 구미동 무지개마을 건영아파트 1004-1401		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김철성		
【성명의 영문표기】	KIM,Chul Sung		
【주민등록번호】	700610-1474524		
【우편번호】	463-715		
【주소】	경기도 성남시 분당구 구미동(무지개마을) 청구아파트 512-1204		
【국적】	KR		
【발명자】			
【성명의 국문표기】	노관중		
【성명의 영문표기】	ROH,Kwan Jong		
【주민등록번호】	731001-1453317		
【우편번호】	430-018		
【주소】	경기도 안양시 만안구 안양8동 394-28		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김민주		
【성명의 영문표기】	KIM,Min Joo		
【주민등록번호】	770804-2119841		
【우편번호】	120-180		
【주소】	서울특별시 서대문구 창천동 4-97 304호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】	396,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

니켈 살리사이드 공정을 이용하여 반도체 소자의 제조방법을 제공한다. 본 발명은 실리콘 기판 상에 게이트 패턴 및 소오스/드레인 영역을 형성하는 것을 포함한다. 상기 게이트 패턴 및 소오스/드레인 영역이 형성된 실리콘 기판 상에 니켈이 포함된 실리사이드용 금속막을 형성한다. 상기 니켈이 포함된 실리사이드용 금속막 상에 N-리치 티타늄 질화막을 형성한다. 상기 니켈이 포함된 실리사이드용 금속막 및 N-리치 티타늄 질화막이 형성된 실리콘 기판을 열처리하여 상기 게이트 패턴과 소오스/드레인 영역 상에 각각 니켈 실리사이드막을 형성한다. 상기 니켈 실리사이드막 형성시 반응하지 않은 니켈이 포함된 실리사이드용 금속막 및 N-리치 질화막을 선택적으로 제거한다. 이상과 같이 본 발명은 니켈이 포함된 실리사이드용 금속막 상에 N-리치 티타늄 질화막을 캡핑함으로써 필드 산화막과 같은 필드 영역의 표면과 스페이서의 표면에 실리사이드 레지듀(silicide residue)가 발생하지 않는다.

【대표도】

도 2b

【명세서】**【발명의 명칭】**

니켈 살리사이드 공정을 이용한 반도체 소자의 제조방법{Method for fabricating a semiconductor device using nickel salicide process}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 기술에 의해 코발트 살리사이드 공정을 이용하여 제조한 반도체 소자의 SEM 사진이다.

도 2a 내지 도 2d는 본 발명에 의해 니켈 살리사이드 공정을 이용한 반도체 소자의 제조방법을 설명하기 위하여 도시한 도면들이다.

도 3은 도 2a 내지 도 2d의 반도체 소자의 제조방법을 설명하기 위한 흐름도이다.

도 4a 및 도 4b는 본 발명에 의해 니켈 살리사이드 공정을 이용하여 제조한 반도체 소자의 SEM 사진이다.

도 5a 내지 도 5d는 본 발명에 의해 니켈 살리사이드 공정을 진행할 때 티타늄 질화막의 형성 조건에 따른 반도체 소자의 SEM 사진이다.

도 6a 내지 도 6c는 본 발명에 의해 니켈 살리사이드 공정을 진행할 때 티타늄 질화막의 형성 조건에 따른 RBS 그래프이다.

도 7은 본 발명에 의해 니켈 살리사이드 공정을 진행할 때 다양한 막질의 표면 에너지를 측정한 그래프이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 니켈(nickel, Ni) 살리사이드 공정(salicide process)을 이용한 반도체 소자의 제조방법에 관한 것이다.
- <9> 반도체 소자의 집적도가 높아짐에 따라 반도체 소자의 신호의 지연 시간(delay time)을 감소시키기 위하여 비저항(resistivity)이 낮은 물질을 널리 사용하고 있다. 특히, 트랜지스터의 게이트 패턴 및 소스/드레인 영역의 면 저항(sheet resistance)과 콘택 저항(contact resistance)을 낮추기 위하여, 비저항이 매우 낮은 실리사이드(silicide) 물질에 대한 개발이 많이 이루어지고 있다. 트랜지스터의 게이트 패턴의 상부 표면 및 소스/드레인 영역 표면에 실리사이드막을 형성하기 위한 공정으로 살리사이드(salicide) 공정이 적용되고 있다.
- <10> 상기 살리사이드 공정에 채용되는 실리사이드 물질로 코발트를 많이 이용한다. 그런데, 반도체 소자의 게이트 폭이 100 nm 이하로 고집적화되면서 코발트 살리사이드 공정은 도 1a의 참조부호 "A"로 도시한 바와 같이 게이트 패턴의 상부 표면에 형성되는 코발트 실리사이드가 단락되거나(끊기거나), 도 1b의 참조부호 "B"로 도시한 바와 같이 액티브 영역과 필드 영역의 경계 부분에 피트(pit)가 형성되는 문제점이 있다. 더하여, 반도체 소자의 게이트 폭이 100nm 이하로 고집적화되면서 코발트 살리사이드 공정은 코발트 실리사이드가 뭉치는 문제점이 있다.

<11> 이와 같이 코발트 살리사이드 공정에서 발생하는 문제점들은 CoSi 형태의 코발트 실리사이드에서 CoSi₂ 형태의 코발트 실리사이드로 변경하는 고온 열처리 과정 때문에 발생한다. 따라서, 고집적화된 반도체 소자에서는 상술한 코발트 살리사이드 공정의 문제점을 해결하기 위해 고온 열처리 과정이 필요 없는 니켈 살리사이드 공정이 제안되었다. 그러나, 니켈 살리사이드 공정을 이용할 경우 실리콘 기판 상의 필드 산화막과 같은 필드 영역의 표면 및 스페이서 표면에는 실리사이드 레지듀가 발생하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 바와 같이 필드 산화막과 같은 필드 영역의 표면 및 스페이서 표면의 실리사이드 레지듀의 발생을 방지할 수 있는 니켈 살리사이드 공정을 이용한 반도체 소자의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여, 본 발명의 반도체 소자의 제조방법은 실리콘 기판 상에 게이트 패턴 및 소오스/드레인 영역을 형성하는 것을 포함한다. 상기 게이트 패턴 및 소오스/드레인 영역이 형성된 실리콘 기판 상에 니켈이 포함된 실리사이드용 금속막을 형성한다. 상기 니켈이 포함된 실리사이드용 금속막 상에 N-리치 티타늄 질화막을 형성한다. 상기 니켈이 포함된 실리사이드용 금속막 및 N-리치 티타늄 질화막이 형성된 실리콘 기판을 열처리하여 상기 게이트 패턴과 소오스/드레인 영역 상에 각각 니켈 실리사이드막을 형성한다. 상기 니켈 실리사이드막 형성시 반응하지 않은 니켈막 및 N-리치 질화막을 선택적으로 제거한다.

- <14> 상기 니켈이 포함된 실리사이드용 금속막은 25~500℃에서 형성할 수 있다. 상기 니켈이 포함된 실리사이드용 금속막은 니켈막 또는 니켈 합금막으로 형성하는 것이 바람직하다. 상기 니켈이 포함된 실리사이드용 금속막은 니켈막에 0-20 at%의 Ta, Zr, Ti, Hf, W, Co, Pt, Pd, V 또는 Nb가 단독 또는 조합으로 포함되어 있을 수 있다. 상기 N-리치 티타늄 질화막 내의 N/Ti비가 0.5~2의 범위인 것이 바람직하다.
- <15> 이상과 같이 본 발명은 니켈 살리사이드 공정을 이용할 때 반도체 소자를 제조할 때 니켈이 포함된 실리사이드용 금속막 상에 N-리치 티타늄 질화막을 캡핑함으로써 필드 산화막과 같은 필드 영역의 표면과 스페이서의 표면에 실리사이드 레지듀(silicide residue)가 발생하지 않는다.
- <16> 이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위(상)"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.
- <17> 도 2a 내지 도 2d는 본 발명에 의해 니켈 살리사이드 공정을 이용한 반도체 소자의 제조방법을 설명하기 위하여 도시한 도면들이고, 도 3은 도 2a 내지 도 2d의 반도체 소자의 제조방법을 설명하기 위한 흐름도이다.

- <18> 도 2a를 참조하면, 실리콘 기판(11), 예컨대 p형이나 n형 실리콘 기판 상에 필드 영역(13) 형성하여 액티브 영역을 한정한다. 상기 필드 영역(13)은 필드 산화막으로 형성한다. 이어서, 상기 액티브 영역 상에 게이트 패턴(19)을 형성한다. 상기 게이트 패턴(19)은 게이트 절연막(15) 및 게이트 전극(17)으로 이루어진다. 상기 게이트 절연막(15)은 산화막으로 형성하며, 상기 게이트 전극(17)은 불순물이 도핑된 폴리실리콘막으로 형성한다(스텝 100).
- <19> 이어서, 상기 게이트 패턴(19)의 양측벽에 스페이서(21)를 형성한다. 상기 스페이서(21)는 게이트 패턴(19)이 형성된 실리콘 기판(11)의 전면에 스페이서용 절연막, 예컨대 질화막을 형성한 후 스페이서 에치하여 형성한다(스텝 110).
- <20> 이어서, 상기 스페이서(21)에 얼라인되도록 상기 실리콘 기판(11)에 불순물을 주입하여 소오스/드레인 영역(23)을 형성한다. 상기 실리콘 기판(11)이 p형 실리콘 기판일 경우에는 n형 불순물을 주입하며, 상기 실리콘 기판(11)이 n형 실리콘 기판일 경우에는 p형 불순물을 주입한다. 결과적으로, 도 2a의 공정을 통하여 n-MOS 트랜지스터나 p-MOS 트랜지스터가 형성된다(스텝 120).
- <21> 도 2b를 참조하면, 상기 소오스/드레인 영역, 스페이서 및 게이트 패턴이 형성된 실리콘 기판을 습식 세정한다(스텝 130).
- <22> 이어서, 상기 실리콘 기판(11)을 RF 스퍼터 에치(sputter etch)하여 실리콘 기판(11) 상에 존재하는 파티클 등을 제거한다(스텝 140). 상기 실리콘 기판(11)의 스퍼터 에치 공정은 수행하지 않을 수도 있다.

- <23> 이어서, 상기 소오스/드레인 영역(23), 스페이서(21) 및 게이트 패턴(19)이 형성된 실리콘 기판(11)의 전면에 니켈이 포함된 실리사이드용 금속막(25)을 형성한다. 상기 니켈이 포함된 실리사이드용 금속막(25)은 니켈막 또는 니켈 합금막으로 형성한다. 또는, 상기 니켈이 포함된 실리사이드용 금속막(25)은 니켈막에 0~20 at%(atomic %)의 Ta, Zr, Ti, Hf, W, Co, Pt, Pd, V 또는 Nb가 단독 또는 조합으로 포함되어 형성한다. 상기 니켈이 포함된 실리사이드용 금속막(25)은 25~500℃에서 형성한다(스텝 150).
- <24> 다음에, 상기 니켈이 포함된 실리사이드용 금속막(25) 상에 N-리치(rich) 티타늄 질화막(27, TiN)을 형성한다. 상기 N-리치 티타늄 질화막(27)은 니켈이 포함된 실리사이드용 금속막이 형성된 실리콘 기판(11)을 챔버에 로딩한 후, 질소 가스 및 티타늄 소스 가스를 주입하여 형성한다. 상기 티타늄 질화막 형성시 질소 가스는 30~120sccm(standard cubic centimeter per minute) 주입한다. 상기 N-리치 티타늄 질화막(27)은 25~400℃의 온도에서 형성한다. 이를 통해 상기 N-리치 티타늄 질화막(27)의 N/Ti비가 0.5~2의 범위로 형성한다. 이렇게 N-리치 티타늄 질화막(27)을 형성할 경우 후공정에서 필드 산화막과 같은 필드 영역(13)과 스페이서(21) 표면에는 실리사이드 레지듀가 발생하지 않는다(스텝 160).
- <25> 상기 RF 스퍼터 에치 단계(140), 니켈이 포함된 실리사이드용 금속막(25)을 형성하는 단계 및 N-리치 티타늄 질화막(27)을 형성하는 단계는 인시츄(in-situ)로 수행할 수 있다.
- <26> 도 2c를 참조하면, 니켈이 포함된 실리사이드용 금속막(25) 및 N-리치 티타늄 질화막(27)이 형성된 실리콘 기판(11)을 열처리하여 실리시데이션 공정을 진행한다. 이렇게 되면, 게이트 패턴(19)의 상부 표면과 소오스/드레인 영역(23)의 표면 상에는 니켈과 실

리콘이 반응하여 니켈 실리사이드막(29)이 형성된다. 상기 니켈 실리사이드막 형성을 위한 열처리는 급속 열처리 장치(rapid thermal processing system), 노(furnace), 또는 스퍼터 장치(sputter system)를 이용하여 단독 또는 조합으로 수행한다. 상기 니켈 실리사이드막 형성을 위한 열처리는 200~700℃의 온도에서 수행한다(스텝 170).

<27> 도 2d를 참조하면, 니켈이 포함된 실리사이드용 금속막(25), N-리치 질화막(27), 및 니켈 실리사이드막(29)이 형성된 실리콘 기판(11)을 습식 세정하여 실리콘과 미반응된 니켈이 포함된 실리사이드용 금속막(25) 및 N-리치 티타늄 질화막(27)을 선택적으로 제거한다. 이렇게 되면, 실질적으로 게이트 패턴(19)의 표면과 소오스/드레인 영역의 표면에서만 니켈 실리사이드막(19)이 형성된다. 특히, 본 발명에 의해 제조된 반도체 소자는 필드 산화막과 같은 필드 영역의 표면과 스페이서의 표면에 실리사이드 레지듀(silicide residue)가 발생하지 않는다(스텝 180).

<28> 도 4a 및 도 4b는 본 발명에 의해 니켈 살리사이드 공정을 이용하여 제조한 반도체 소자의 SEM 사진이다.

<29> 구체적으로, 본 발명에 의해 니켈 살리사이드 공정을 이용하여 제조한 반도체 소자는 코발트 살리사이드 공정을 채용할 경우와 비교하여 도 4a 및 도 4b에 도시한 바와 같이 게이트 패턴 상부 표면에 형성되는 니켈 실리사이드가 단락되거나(끊기거나), 액티브 영역과 필드 영역의 경계 부분에 피트(pit)가 형성되지 않는다. 더하여, 본 발명에 의해 니켈 살리사이드 공정을 채용할 경우 코발트 살리사이드 공정과는 달리 니켈 실리사이드가 뭉치지도 않는다.

<30> 도 5a 내지 도 5d는 본 발명에 의해 니켈 살리사이드 공정을 진행할 때 티타늄 질화막의 형성 조건에 따른 반도체 소자의 SEM 사진이다.

- <31> 구체적으로, 도 5a는 티타늄 질화막을 형성할 때 질소 가스를 85sccm 주입하고 열처리를 430℃에서 30초 수행한 경우이고, 도 5b는 티타늄 질화막을 형성할 때 질소 가스를 85sccm 주입하고 열처리를 480℃에서 30초 수행한 경우이고, 도 5c는 티타늄 질화막을 형성할 때 질소 가스를 85sccm 주입하고 열처리를 460℃에서 30초 수행한 경우이고, 도 5d는 티타늄 질화막을 형성할 때 질소 가스를 30sccm 주입하고 열처리를 460℃에서 30초 수행한 경우이다.
- <32> 도 5d에 도시한 바와 같이 니켈이 포함된 실리사이드용 금속막 상에 Ti-리치 티타늄 질화막(티타늄 질화막 형성시 질소 가스를 30sccm 주입한 경우)을 형성하면 화살표로 표시한 바와 같이 필드 산화막과 스페이서 상에서는 실리사이드 레지듀가 다발하는 것을 볼 수 있다. 그러나, 도 5a 내지 도 5c에 도시한 바와 같이 니켈이 포함된 실리사이드용 금속막 상에 N-리치 티타늄 질화막(티타늄 질화막 형성시 질소 가스를 85sccm 주입한 경우)을 형성하면 열처리 온도를 480℃까지 증가시켜도 실리사이드 레지듀가 발생되지 않는다.
- <33> 도 6a 내지 도 6c는 본 발명에 의해 니켈 살리사이드 공정을 진행할 때 티타늄 질화막의 형성 조건에 따른 RBS(Rutherford Backscattering spectrometry) 그래프이다.
- <34> 구체적으로, 도 6a 내지 도 6c는 본 발명에 채용된 티타늄 질화막의 N/Ti비를 RBS로 분석한 결과이다. 도 6a 내지 도 6c를 분석한 결과, 도 6a는 실리사이드 레지듀가 다발한 Ti-리치 티타늄 질화막(질소 가스를 30sccm을 흘리면서 증착한 티타늄 질화막)의 N/Ti비는 0.3이고, N-리치 티타늄 질화막(질소 가스를 85sccm이나 105sccm을 흘리면서 증착한 티타늄 질화막)의 N/Ti비가 1.13이나 1.15로 1 이상임을 알 수 있다.

- <35> 도 7은 본 발명에 의해 니켈 살리사이드 공정을 진행할 때 다양한 막질의 표면 에너지를 측정한 그래프이다.
- <36> 구체적으로, 도 7은 콘택 각도 측정(contact angle measurement)을 이용하여 니켈(Ni), 니켈 실리사이드(NiSi), Ti-리치 티타늄 질화막 및 N-리치 티타늄 질화막의 표면 에너지(surface energy)를 측정한 결과이다. 도 7에서 $\Delta 1$ 은 N-rich 티타늄 질화막과 니켈의 표면 에너지 차이이고, $\Delta 2$ 는 N-rich 티타늄 질화막과 니켈 실리사이드의 표면 에너지 차이이고, $\Delta 3$ 은 Ti-리치 티타늄 질화막과 니켈의 표면 에너지 차이이고, $\Delta 4$ 는 Ti-리치 티타늄 질화막과 니켈 실리사이드의 표면 에너지 차이이다.
- <37> 도 7에서 볼 수 있듯이 $\Delta 4 - \Delta 3 \ll \Delta 2 - \Delta 1$ 이므로, Ti-리치 티타늄 질화막에 비해 N-리치 티타늄 질화막을 적용할 때 티타늄 질화막(TiN)/니켈(Ni) 계면이 티타늄 질화막(TiN)/니켈 실리사이드(NiSi) 계면보다 훨씬 더 안정함을 보인다. 따라서, Ti-리치 티타늄 질화막에 비해 N-리치 티타늄 질화막을 적용할 때 상대적으로 실리사이드 억제(retardation) 현상이 일어나 실리사이드 레지듀 발생이 방지된다.

【발명의 효과】

- <38> 상술한 바와 같이 본 발명은 니켈 살리사이드 공정을 이용하여 반도체 소자를 제조하면, 게이트 패턴 상부 표면에 형성되는 니켈 실리사이드가 단락되거나(끊기거나), 액티브 영역과 필드 영역의 경계 부분에 피트(pit)가 형성되지 않는다. 더하여, 본 발명에 의해 니켈 살리사이드 공정을 채용할 경우 코발트 살리사이드 공정과는 달리 니켈 실리사이드가 뭉치지도 않는다.

<39> 또한, 본 발명은 니켈 살리사이드 공정을 이용할 때 반도체 소자를 제조할 때 니켈이 포함된 실리사이드용 금속막 상에 N-리치 티타늄 질화막을 캡핑함으로써 필드 산화막과 같은 필드 영역의 표면과 스페이서의 표면에 실리사이드 레지듀(silicide residue)가 발생하지 않는다.

【특허청구범위】**【청구항 1】**

실리콘 기판 상에 게이트 패턴 및 소오스/드레인 영역을 형성하는 단계;

상기 게이트 패턴 및 소오스/드레인 영역이 형성된 실리콘 기판 상에 니켈이 포함된 실리사이드용 금속막을 형성하는 단계;

상기 니켈이 포함된 실리사이드용 금속막 상에 N-리치 티타늄 질화막을 형성하는 단계;

상기 니켈이 포함된 실리사이드용 금속막 및 N-리치 티타늄 질화막이 형성된 실리콘 기판을 열처리하여 상기 게이트 패턴과 소오스/드레인 영역 상에 각각 니켈 실리사이드막을 형성하는 단계; 및

상기 니켈 실리사이드막 형성시 반응하지 않은 니켈이 포함된 실리사이드용 금속막 및 N-리치 질화막을 선택적으로 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 2】

제1항에 있어서, 상기 니켈이 포함된 실리사이드용 금속막은 25~500℃에서 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 3】

제1항에 있어서, 상기 니켈이 포함된 실리사이드용 금속막은 니켈막 또는 니켈 합금막인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 4】

제1항에 있어서, 상기 니켈이 포함된 실리사이드용 금속막은 니켈막에 0-20 at%의 Ta, Zr, Ti, Hf, W, Co, Pt, Pd, V 또는 Nb가 단독 또는 조합으로 포함되어 있는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 5】

제1항에 있어서, 상기 N-리치 티타늄 질화막 내의 N/Ti비가 0.5~2의 범위인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 6】

제1항에 있어서, 상기 니켈 실리사이드막 형성을 위한 열처리는 급속 열처리 장치(rapid thermal processing system), 노(furnace), 또는 스퍼터 장치(sputter system)를 이용하여 단독 또는 조합으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 7】

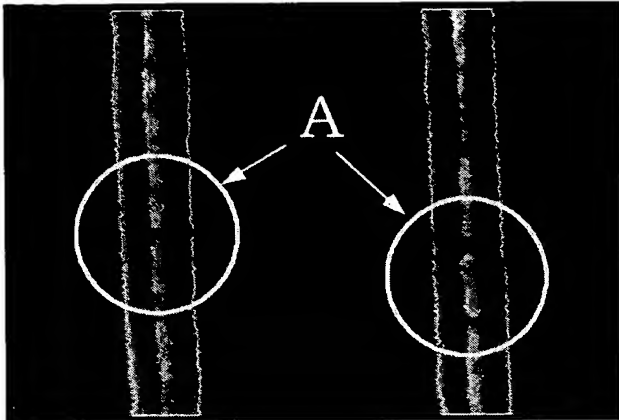
제1항에 있어서, 상기 소오스/드레인 영역 형성하는 단계 후에 상기 실리콘 기판을 RF 스퍼터 에치하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 8】

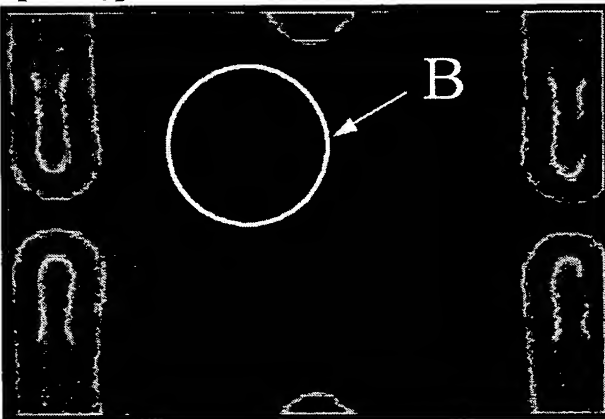
제7항에 있어서, 상기 RF 스퍼터 에치 단계, 니켈이 포함된 실리사이드용 금속막을 형성하는 단계 및 N-리치 티타늄 질화막을 형성하는 단계는 인시츄로 수행하는 특징으로 하는 반도체 소자의 제조방법.

【도면】

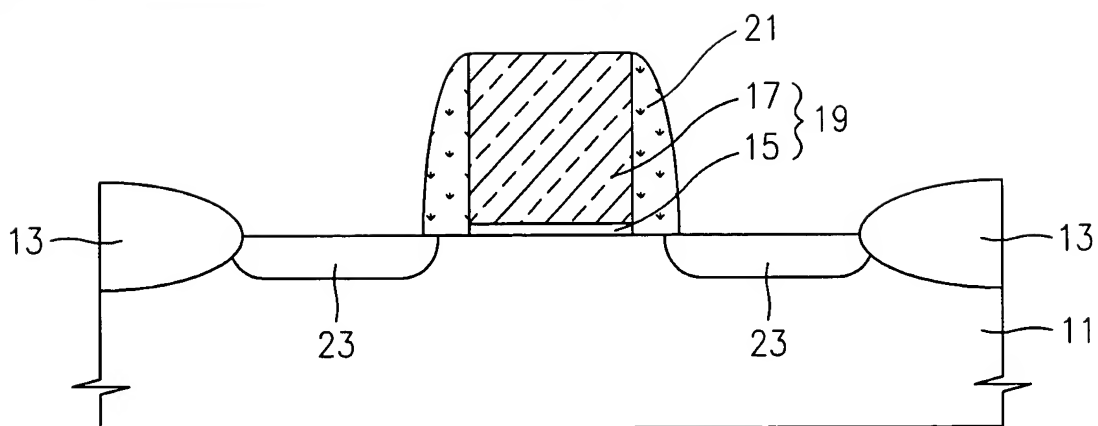
【도 1a】



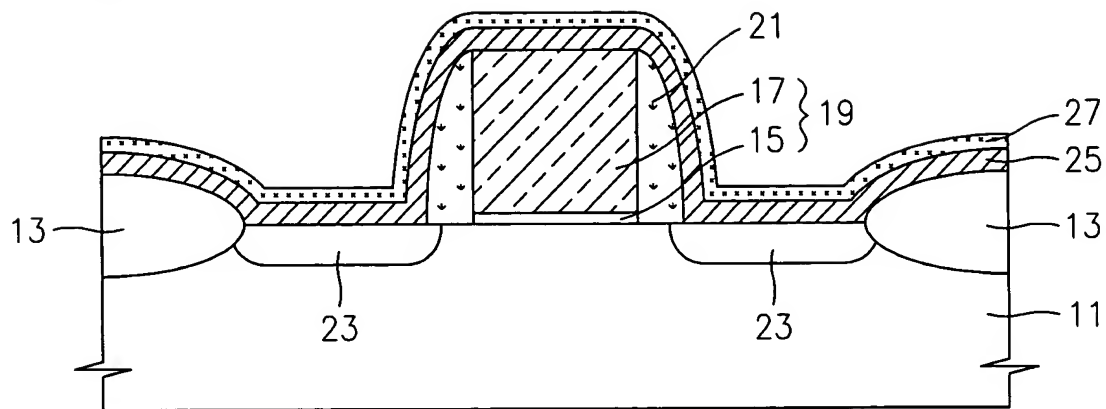
【도 1b】



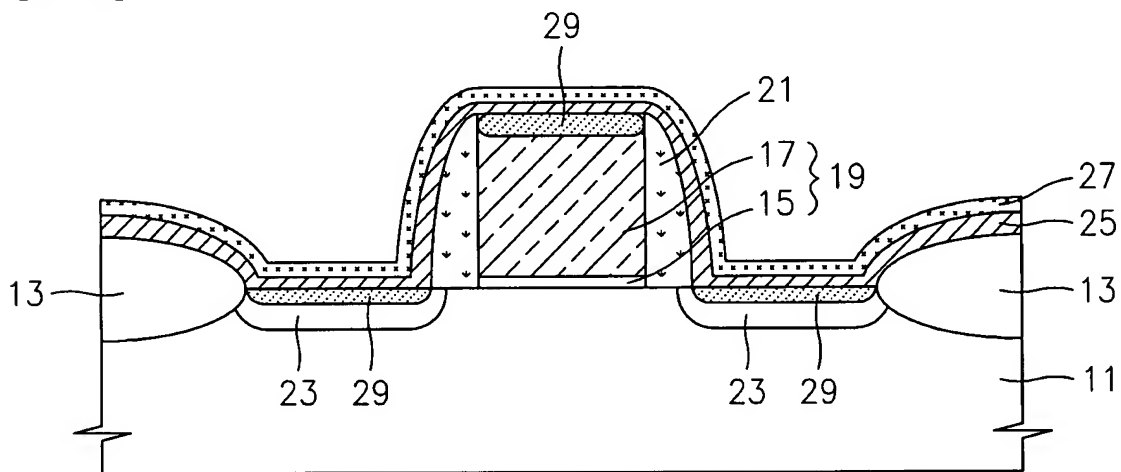
【도 2a】



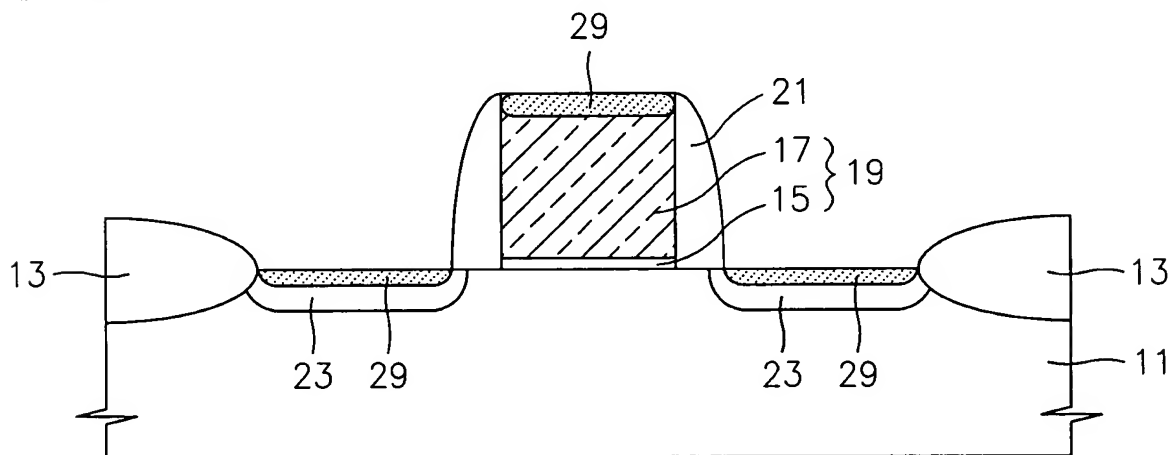
【도 2b】



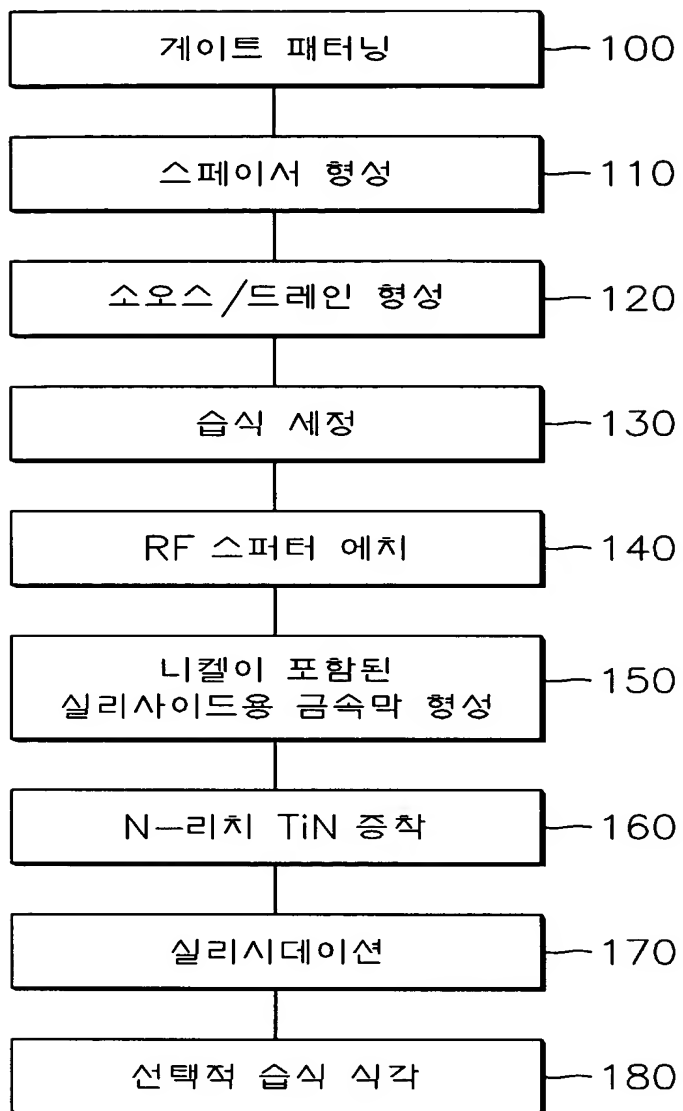
【도 2c】



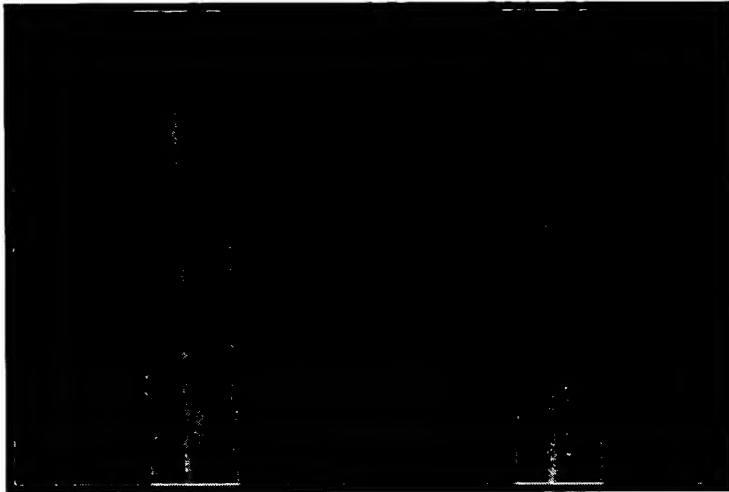
【도 2d】



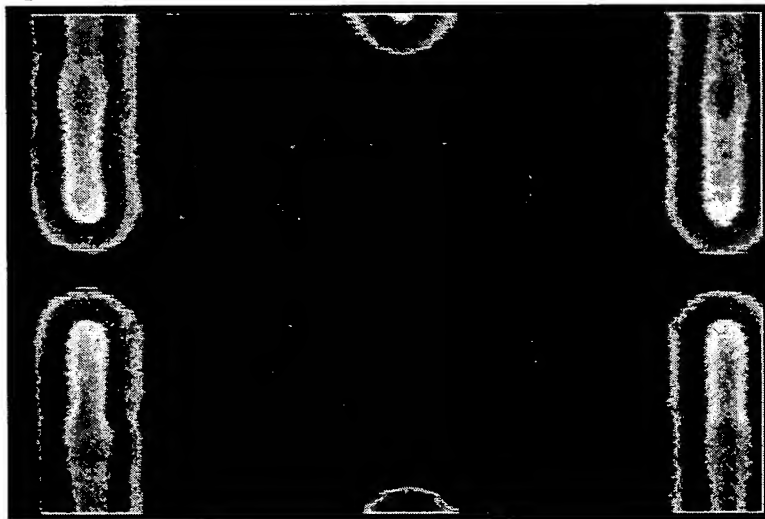
【도 3】



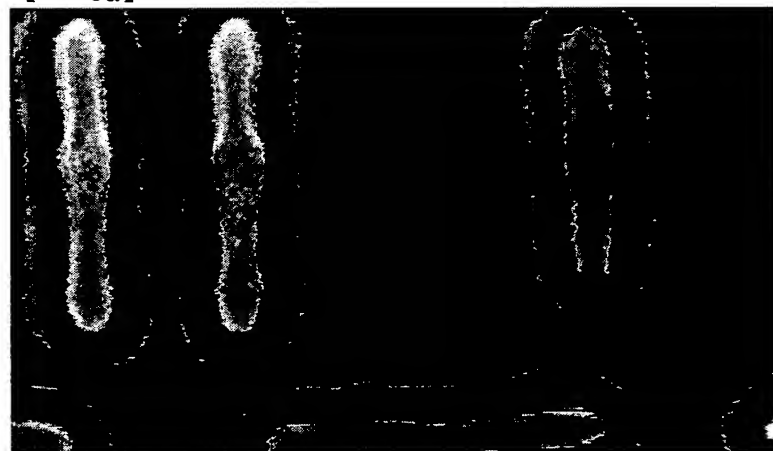
【도 4a】



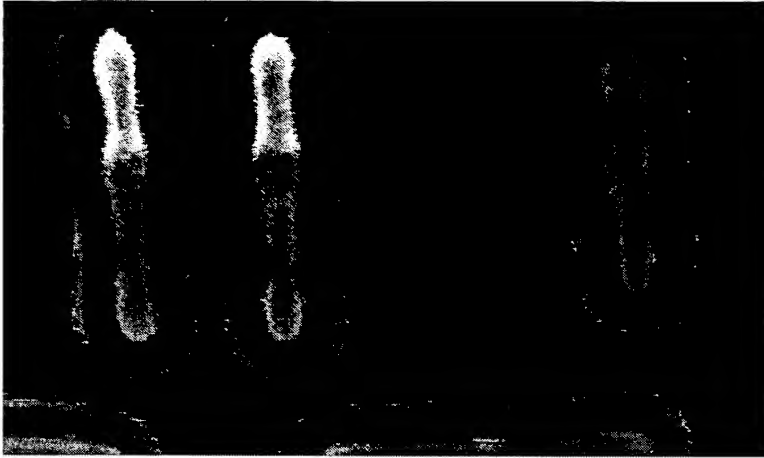
【도 4b】



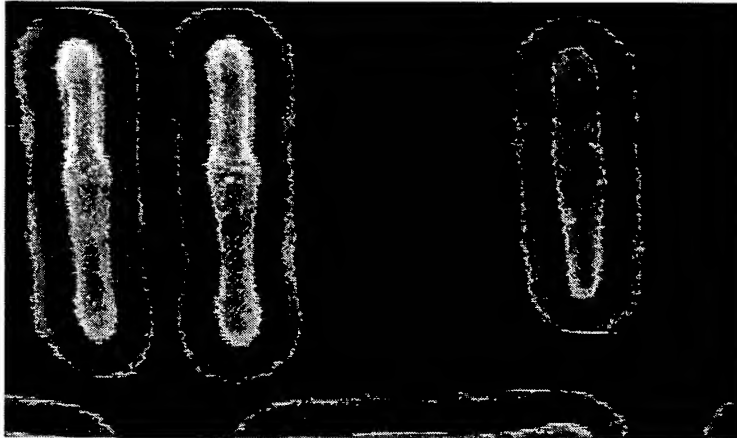
【도 5a】



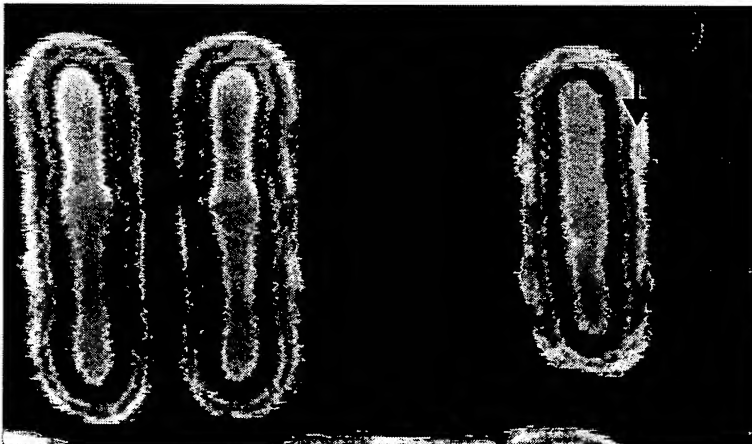
【도 5b】



【도 5c】

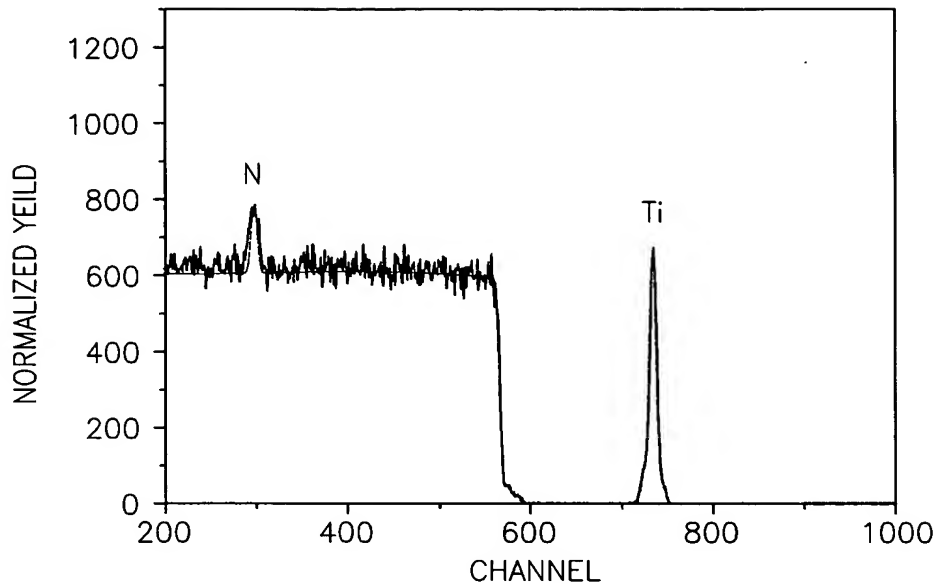


【도 5d】

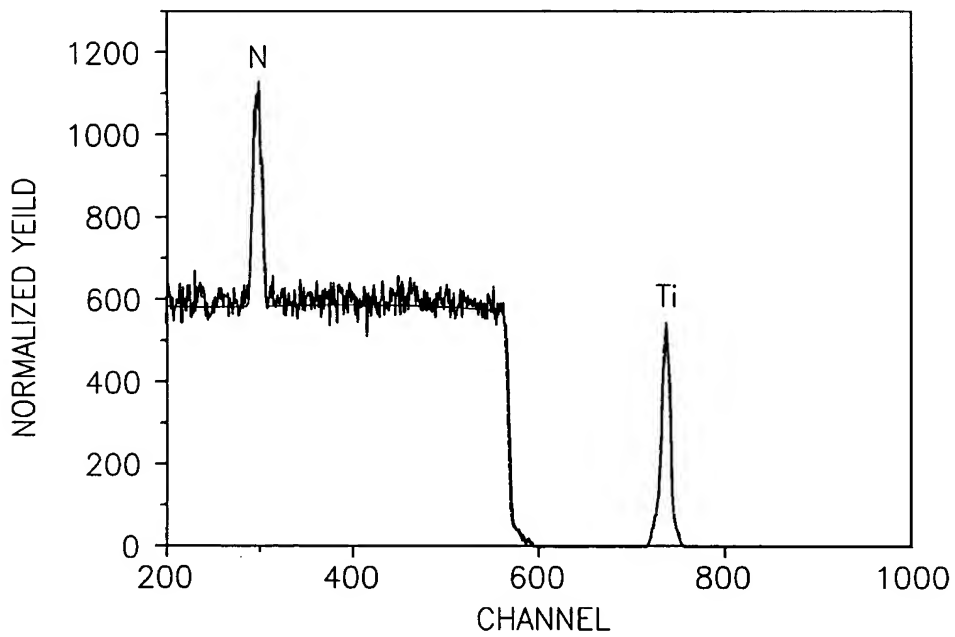




【도 6a】

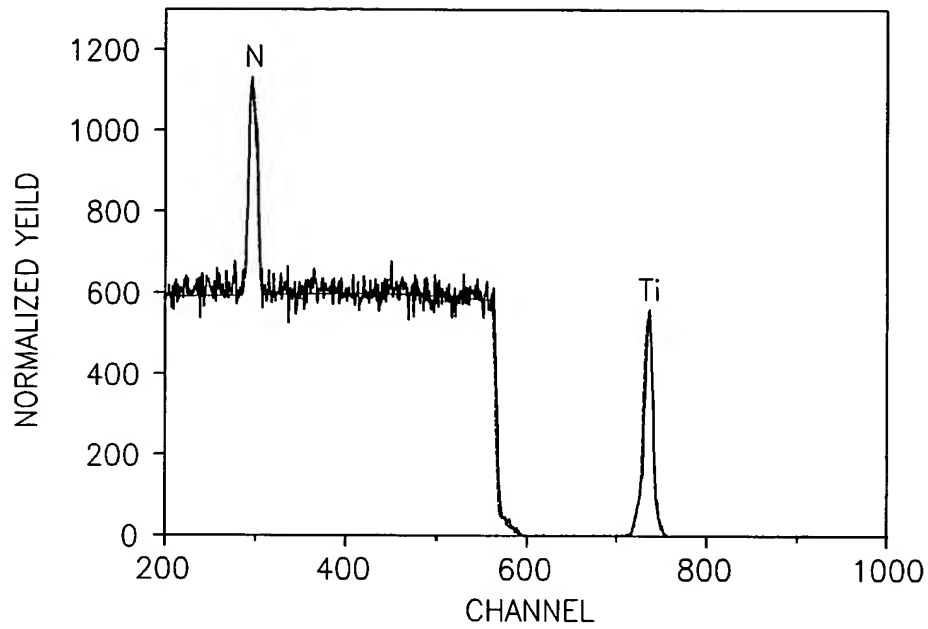


【도 6b】





【도 6c】



【도 7】

